

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3147108号
(P3147108)

(45) 発行日 平成13年 3月19日 (2001. 3. 19)

(24) 登録日 平成13年 1月12日 (2001. 1. 12)

(51) Int.Cl.⁷

識別記号

F I

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1

27/115

27/10

4 3 4

29/788

29/792

請求項の数 5 (全 13 頁)

(21) 出願番号 特願平11-12541

(22) 出願日 平成11年 1月20日 (1999. 1. 20)

(65) 公開番号 特開2000-216270 (P2000-216270A)

(43) 公開日 平成12年 8月 4日 (2000. 8. 4)

審査請求日 平成11年 3月24日 (1999. 3. 24)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目 7番 1号

(72) 発明者 原 英樹

東京都港区芝五丁目 7番 1号 日本電気

株式会社内

(74) 代理人 100090158

弁理士 藤巻 正憲

審査官 井原 純

(56) 参考文献 特開2000-188345 (J P, A)

特開 平10-223868 (J P, A)

特開2000-22114 (J P, A)

特開 平 7-142618 (J P, A)

特開 平 9-102553 (J P, A)

最終頁に続く

(54) 【発明の名称】 半導体記憶装置の製造方法

1

(57) 【特許請求の範囲】

【請求項 1】 半導体基板の表面に複数個のトレンチ分離絶縁膜を相互間に適長間隔をおいて形成する工程と、前記トレンチ分離絶縁膜に挟まれた領域の上方に選択的に浮遊ゲート電極を形成する工程と、この浮遊ゲート電極を覆う層間絶縁膜を形成する工程と、前記浮遊ゲート電極の上方に前記トレンチ分離絶縁膜が延びる方向に交差する方向に延びる複数個のコントロールゲート配線を形成する工程と、前記コントロールゲート配線間のソース形成予定領域が開口したレジストパターンを形成する工程と、前記レジストパターン及び前記コントロールゲート配線をマスクとして前記トレンチ分離絶縁膜をエッチング除去してトレンチを露出させる工程と、前記レジストパターン及び前記コントロールゲート配線をマスクとして前記半導体基板に実質的に垂直にイオン注入する

2

ことによりソース拡散層を形成する工程と、前記レジストパターンを除去した後前記コントロールゲート配線をマスクとして前記半導体基板に実質的に垂直にイオン注入することによりソースドレイン拡散層を形成する工程と、前記コントロールゲート配線の側壁に側壁絶縁膜を形成する工程と、前記コントロールゲート配線及び前記側壁絶縁膜をマスクとして回転イオン注入することにより前記トレンチの側面にもソース拡散層を形成する工程と、を有することを特徴とする半導体記憶装置の製造方法。

10

【請求項 2】 半導体基板の表面に複数個のトレンチ分離絶縁膜を相互間に適長間隔をおいて形成する工程と、前記トレンチ分離絶縁膜に挟まれた領域の上方に選択的に浮遊ゲート電極を形成する工程と、この浮遊ゲート電極を覆う層間絶縁膜を形成する工程と、前記浮遊ゲート

電極の上方に前記トレンチ分離絶縁膜が延びる方向に交差する方向に延びる複数のコントロールゲート配線を形成する工程と、前記コントロールゲート配線をマスクとして前記半導体基板に実質的に垂直にイオン注入することによりソースドレイン拡散層を形成する工程と、前記コントロールゲート配線の側壁に側壁絶縁膜を形成する工程と、前記コントロールゲート配線間のソース領域が開口したレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記トレンチ分離絶縁膜をエッチング除去してトレンチを露出させる工程と、前記コントロールゲート配線をマスクとして回転イオン注入することにより前記トレンチの側面にもソース拡散層を形成する工程と、を有することを特徴とする半導体記憶装置の製造方法。

【請求項3】 前記トレンチを露出させる工程と前記回転イオン注入の工程との間に、露出している側の側壁絶縁膜上に更に絶縁膜を形成する工程を有することを特徴とする請求項2に記載の半導体記憶装置の製造方法。

【請求項4】 前記層間絶縁膜は、酸化膜と窒化膜と酸化膜が順次積層されてなる積層膜からなることを特徴とする請求項1乃至3のいずれか1項に記載の半導体記憶装置の製造方法。

【請求項5】 前記コントロールゲート配線は、多結晶シリコン膜とWSi膜との積層膜からなることを特徴とする請求項1乃至4のいずれか1項に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フラッシュメモリ等の半導体記憶装置の製造方法に関し、特に、ソース・ドレイン拡散層の低抵抗化を図ることができる半導体記憶装置の製造方法に関する。

【0002】

【従来の技術】従来のフラッシュメモリ等の半導体記憶装置では、セルサイズ縮小化の技術として、ゲート配線をマスクにして、自己整合にソース拡散層を形成する技術（セルフアラインソース；以下、SASという。）が知られている（特公昭63-41224号公報）。

【0003】また、近時、更なるセルサイズの微細化が求められ、拡散層分離の縮小化のため、トレンチ分離技術が注目されつつある。

【0004】図11(a)はトレンチ分離型の半導体記憶装置の製造方法を工程順に示す配置図であり、(b)は図11(a)のD-D線による断面図であり、(c)は図18(a)のE-E線による断面図であり、(d)は図11(a)のF-F線による断面図である。なお、図12乃至図15の(b)乃至(d)は、夫々図12乃至15の(a)のA-A線、B-B線及びC-C線による断面図である。

【0005】従来のトレンチ分離型のフラッシュメモリ

の製造方法を説明する。図11(a)乃至(d)に示すように、まず、半導体基板100にトレンチ分離技術を使用して、帯状の複数の拡散層領域101と複数のトレンチ分離絶縁膜102とを交互に形成する。

【0006】次に、図12(a)乃至(d)に示すように、拡散層領域101を覆うように、ゲート絶縁膜103を形成する。このゲート絶縁膜103の上に浮遊ゲート（以下、FGという。）電極104を形成する。次に、ゲート絶縁膜103及びFG電極104をパターンニングする。

【0007】次に、図13(a)乃至(d)に示すように、半導体基板100の全面に、例えば、酸化膜と窒化膜と酸化膜とにより構成される積層膜からなる層間絶縁膜105を形成する。次に、例えば、多結晶シリコン膜106aとWSi膜106bとで構成されるコントロールゲート配線（以下、CG配線という。）106を拡散層領域101の垂直方向に形成する。

【0008】次に、図14(a)乃至(d)に示すように、CG配線106間のソース拡散層108形成予定領域が開口したレジストパターン107を形成する。次に、このレジストパターン107及びCG配線106をマスクとして、トレンチ分離絶縁膜102をエッチングする。

【0009】次に、図15(a)乃至(d)に示すように、トレンチ分離絶縁膜102をエッチング除去した後、半導体基板100の全面に、不純物として、例えば、ヒ素イオンを半導体基板100の表面に垂直な方向に注入して、ソース拡散層108を形成する。

【0010】

【発明が解決しようとする課題】しかし、上述のように形成された半導体記憶装置の構造において、素子分離酸化膜を除去している部分はトレンチ構造である。このため、トレンチ側面101aにヒ素等の不純物が導入されにくく、ソース拡散層108抵抗の増加を招くことになる。このソース拡散層108抵抗の増加がフラッシュメモリのセルデバイス動作、詳しくは書き込みスピードの劣化及び読み出しスピードの劣化を引き起こすという問題点がある。

【0011】本発明はかかる問題点に鑑みてなされたものであって、トレンチ側面に不純物を導入することにより、ソース拡散層抵抗の増加を防ぐことができる半導体記憶装置の製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本願第1発明に係る半導体記憶装置の製造方法は、半導体基板の表面に複数のトレンチ分離絶縁膜を相互間に適長間隔をおいて形成する工程と、前記トレンチ分離絶縁膜に挟まれた領域の上方に選択的に浮遊ゲート電極を形成する工程と、この浮遊ゲート電極を覆う層間絶縁膜を形成する工程と、前記浮遊ゲート電極の上方に前記トレンチ分離絶縁膜が延び

10

20

30

40

50

る方向に交差する方向に延びる複数のコントロールゲート配線を形成する工程と、前記コントロールゲート配線間のソース形成予定領域が開口したレジストパターンを形成する工程と、前記レジストパターン及び前記コントロールゲート配線をマスクとして前記トレンチ分離絶縁膜をエッチング除去してトレンチを露出させる工程と、前記レジストパターン及び前記コントロールゲート配線をマスクとして前記半導体基板に実質的に垂直にイオン注入することによりソース拡散層を形成する工程と、前記レジストパターンを除去した後前記コントロールゲート配線をマスクとして前記半導体基板に実質的に垂直にイオン注入することによりソースドレイン拡散層を形成する工程と、前記コントロールゲート配線の側壁に側壁絶縁膜を形成する工程と、前記コントロールゲート配線及び前記側壁絶縁膜をマスクとして回転イオン注入することにより前記トレンチの側面にもソース拡散層を形成する工程と、を有することを特徴とする。

【0013】本願第2発明に係る半導体記憶装置の製造方法は、半導体基板の表面に複数のトレンチ分離絶縁膜を相互間に適当間隔をおいて形成する工程と、前記トレンチ分離絶縁膜に挟まれた領域の上方に選択的に浮遊ゲート電極を形成する工程と、この浮遊ゲート電極を覆う層間絶縁膜を形成する工程と、前記浮遊ゲート電極の上方に前記トレンチ分離絶縁膜が延びる方向に交差する方向に延びる複数のコントロールゲート配線を形成する工程と、前記コントロールゲート配線をマスクとして前記半導体基板に実質的に垂直にイオン注入することによりソースドレイン拡散層を形成する工程と、前記コントロールゲート配線の側壁に側壁絶縁膜を形成する工程と、前記コントロールゲート配線間のソース領域が開口したレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記トレンチ分離絶縁膜をエッチング除去してトレンチを露出させる工程と、前記コントロールゲート配線をマスクとして回転イオン注入することにより前記トレンチの側面にもソース拡散層を形成する工程と、を有することを特徴とする。

【0014】本発明においては、前記トレンチを露出させる工程と前記回転イオン注入の工程との間に、露出している側の側壁絶縁膜上に更に絶縁膜を形成する工程を有することが好ましい。

【0015】また、本発明においては、前記層間絶縁膜は、酸化膜と窒化膜と酸化膜が順次積層されてなる積層膜とすることができ、前記コントロールゲート配線は、多結晶シリコン膜とWSi膜との積層膜とすることができ、

【0016】本発明においては、トレンチ分離絶縁膜をエッチング除去した後、トレンチを露出させ、イオンを半導体基板に回転注入することにより、トレンチ側面の適切な位置に不純物を導入することができる。このため、トレンチ側面にもソース拡散層が形成され、ソース

拡散層抵抗の低抵抗化を図ることができる。

【0017】

【発明の実施の形態】以下、本発明の実施例について添付の図面を参照して詳細に説明する。図1乃至図6は本発明の第1実施例に係る半導体記憶装置の製造方法を工程順に示す断面図である。図1(a)は本発明の第1実施例に係る半導体記憶装置の製造方法を工程順に示す配置図であり、(b)は図1(a)のA-A線による断面図であり、(c)は図1(a)のB-B線による断面図であり、(d)は図1(a)のC-C線による断面図である。なお、図2乃至図6の(b)乃至(d)は、夫々図2乃至6の(a)のA-A線、B-B線及びC-C線による断面図である。本実施例の半導体記憶装置はビット配線層の1つのコンタクト当たり2ビットを有するトレンチ分離NOR型フラッシュメモリセルの構造を示すものである。本実施例の半導体記憶装置の製造方法について図1乃至図6に基づいて説明する。先ず、図1

(a)乃至(d)に示すように、例えば、反応性イオンエッチング(以下、Reactive Ion Etching:RIEという。)を使用して、半導体基板1の表面にトレンチ(図示せず)を相互間に適当間隔をおいて複数個形成する。次に、このトレンチを例えば、SiO₂からなるトレンチ分離絶縁膜3で埋め込む。このようなトレンチ分離技術を使用して、帯状の拡散層領域2とトレンチ分離絶縁膜3を複数個形成する。

【0018】次に、図2(a)乃至(d)に示すように、拡散層領域2を覆うように、例えば、SiO₂からなるゲート絶縁膜4を形成し、その上に、例えば、多結晶シリコンからなるFG電極5を形成する。このゲート絶縁膜4及びFG電極5をパターンニングする。

【0019】次に、図3(a)乃至(d)に示すように、このFG電極5を覆うように、例えば、酸化膜と窒化膜と酸化膜とで構成される積層膜からなる層間絶縁膜6を形成する。

【0020】次に、例えば、トレンチ分離絶縁膜3が延びる方向に交差する方向、例えば、直交する方向に延びる複数の多結晶シリコン膜7aとWSi膜7bとの積層膜で構成されるCG配線7をFG電極5の上方に形成する。

【0021】次に、ソース拡散層9aを形成するため、図4(a)乃至(d)に示すように、CG配線7間のソース形成予定領域が開口したレジストパターン8を形成する。そして、このレジストパターン8及びCG配線7をマスクとしてトレンチ分離絶縁膜3をエッチングし、トレンチ3aを露出させる。

【0022】次に、図5(a)乃至(d)に示すように、トレンチ分離絶縁膜3をエッチング除去した後、半導体基板1の表面に垂直な方向に、不純物として、例えば、ヒ素イオンを半導体基板1に注入し、ソース拡散層9aを形成する。

【0023】次に、レジストパターン8を剥離した後、CG配線7をマスクとして、半導体基板1の全面に、例えば、ヒ素イオンを注入して、ソース・ドレイン拡散層9を形成する。そして、半導体基板1全面に酸化膜等の絶縁膜を成長させ、エッチバックを行い、CG配線7側面のみ側壁絶縁膜10を残存させる。即ち、CG配線7の両側側壁に側壁絶縁膜10を形成する。

【0024】次に、図6(a)乃至(d)に示すように、半導体基板1を回転させて、この半導体基板1の全面に、例えば、ヒ素イオンの回転斜め注入を行う。このことによりトレンチ側面3bにも、不純物として、例えば、ヒ素を導入し、トレンチ側面3bにもソース拡散層9aを形成する。

【0025】次に、半導体基板1の全面に配線分離膜(図示せず)を形成した後、パターンニングを行い、ソース拡散層9aを挟む2つのFG電極5を1組として、1組毎に区画するようにソース・ドレイン領域9にコンタクト部(図示せず)を形成する。

【0026】次に、このコンタクト部を埋め込むようにビット配線層(図示せず)を形成する。以上のことにより、ビット配線層の1つのコンタクト当たり2ビットを有するトレンチ分離NOR型フラッシュメモリセルを形成することができる。

【0027】上述のように、本実施例においては、トレンチ分離絶縁膜3をエッチングにより除去した後、トレンチ3aに不純物としてヒ素イオンを半導体基板1に回転斜め注入することにより、トレンチ側面3bの適切な位置に不純物を導入することができる。このため、トレンチ側面3bにもソース拡散層9aが形成され、ソース拡散層9a抵抗の低抵抗化を図ることができる。

【0028】また、ソース拡散層9a形成するときに回転斜めイオン注入する場合において、FG電極5の両側面は側壁絶縁膜10で保護されているため、ソース・ドレイン拡散層9間に形成されているチャネル領域への不純物の注入を防止することができる。このため、パンチスルーを防止することができる。

【0029】本発明の第2実施例について図7及び図8に基づいて説明する。なお、図1乃至図6に示す第1実施例と同一構成物には同一符号を付しその詳細な説明は省略する。図7(a)は本発明の第2実施例に係る半導

体記憶装置の製造方法を工程順に示す配置図であり、(b)は図7(a)のA-A線による断面図であり、(c)は図7(a)のB-B線による断面図であり、(d)は図7(a)のC-C線による断面図である。なお、図8の(b)乃至(d)は、夫々図8の(a)のA-A線、B-B線及びC-C線による断面図である。

【0030】本実施例においては、第1実施例と比較して、トレンチ分離技術を使用して、帯状の拡散層領域2及びトレンチ分離絶縁膜3を複数個形成する工程まで、即ち、図1乃至図3に示す第1実施例の工程と同様であ

る。それ以降の工程について説明する。

【0031】本実施例においては、図7(a)乃至(d)に示すように、CG配線7をマスクとして、半導体基板1の全面に、不純物として、例えば、ヒ素イオンを半導体基板1の表面に垂直な方向に注入して、ソース・ドレイン拡散層9を形成する。

【0032】次に、例えば、酸化膜又は窒化膜からなる絶縁膜を成長させ、エッチバックを行い、CG配線7側面のみ側壁絶縁膜10を形成する。

【0033】次に、図8(a)乃至(d)に示すように、CG配線7間のソース拡散層9aが開口したレジストパターン8を形成する。その後、このレジストパターン8をマスクとして、トレンチ分離絶縁膜3をエッチング除去する。次に、トレンチ分離絶縁膜3をエッチング除去した後、不純物として、例えば、ヒ素イオンを半導体基板1に回転斜め注入を行い、トレンチ側面3bにも不純物を導入させ、トレンチ側面3bにもソース拡散層9aを形成する。

【0034】上述のように、本実施例においては、CG配線7間のソース拡散層9aが開口したレジストパターン8を形成して、トレンチ分離絶縁膜3を除去した後、トレンチ側面3bにもイオン注入を行うことにより、トレンチ側面3bにもソース拡散層9aを形成することができる。このため、ソース拡散層9aを低抵抗化することができる。また、第1実施例と比較して、工程数を減らすことができる。

【0035】本発明の第3実施例について、図9乃至図10に基づいて説明する。なお、図1乃至図6に示す第1実施例と同一構成物には同一符号を付しその詳細な説明は省略する。図9(a)は本発明の第3実施例に係る半導体記憶装置の製造方法を工程順に示す配置図であり、(b)は図9(a)のA-A線による断面図であり、(c)は図9(a)のB-B線による断面図であり、(d)は図9(a)のC-C線による断面図である。なお、図10の(b)乃至(d)は、夫々図10の(a)のA-A線、B-B線及びC-C線による断面図である。

【0036】本実施例においては、第1実施例と比較して、トレンチ分離技術を使用して、帯状の拡散層領域2を複数個形成する工程までは、図1乃至図3に示す第1実施例の工程と同様である。また、この工程の次の工程は、図7に示す第2実施例の工程と同様である。これ以降の工程について説明する。

【0037】本実施例においては、酸化膜又は窒化膜等の絶縁膜を半導体基板1の表面に成長させ、エッチバックを行い、ソース拡散層9a側のCG配線7の側壁と、これと反対側のCG配線7の側壁とに、夫々大きさの異なる側壁絶縁膜10、10aを形成する。

【0038】次に、図9(a)乃至(d)に示すように、CG配線7間のソース拡散層9a領域が開口したレ

ジストパターン8を形成する。

【0039】次に、このレジストパターン8をマスクとして、トレンチ分離絶縁膜3をエッチング除去し、トレンチ3aを露出させる。

【0040】次に、図10(a)乃至(d)に示すように、再度、半導体基板1の全面に酸化膜等の絶縁膜を成長させた後エッチバックを行い、CG配線7の側壁のみ側壁絶縁膜10b、10cを残存させる。即ち、CG配線7の両側側壁に大きさの異なる側壁絶縁膜10b、10cを形成する。そして、不純物として、例えば、ヒ素イオンを半導体基板1に回転斜め注入を行い、トレンチ側面3bにも不純物を導入させ、トレンチ側面3bにソース拡散層9aを形成する。

【0041】上述のように、本実施例においては、ソース拡散層9a側に形成された側壁絶縁膜10bをソース拡散層9a側とは反対側に形成された側壁絶縁膜10cよりも小さく形成することにより、チャネル領域への不純物の注入を防止することができると共に、ソース拡散層9a領域に第1実施例と比較して、不純物イオンを注入しやすくなり、ソース拡散層9aの低抵抗化を図ることができる。

【0042】上述のいずれの実施例においても、ソース拡散層9aを形成するために不純物を導入する際に、ソース側に側壁絶縁膜10を形成した後に、回転斜めイオン注入を行い、トレンチ側面3bに不純物を導入する構成としたが、本発明においては、特にこれに限定されるものではなく、ソース拡散層9aではなくドレイン拡散層とすることもできる。

【0043】

【発明の効果】以上詳述したように本発明においては、トレンチ分離絶縁膜をエッチング除去した後に、トレンチを露出させ、イオンを半導体基板に回転注入することにより、トレンチ側面の適切な位置に不純物を導入することができる。このため、トレンチ側面にもソース拡散層が形成され、ソース拡散層抵抗の低抵抗化を図ることができる。従って、フラッシュメモリ等の半導体記憶装置の書き込み及び読み出し速度の劣化等を防止することができる。

【図面の簡単な説明】

【図1】(a)は本発明の第1実施例に係る半導体記憶装置の製造方法を工程順に示す配置図であり、(b)は図1(a)のA-A線による断面図であり、(c)は図1(a)のB-B線による断面図であり、(d)は図1(a)のC-C線による断面図である。

【図2】(a)乃至(d)は、図1の次の工程を示す図であって、(a)は配置図であり、(b)は図2(a)のA-A線による断面図であり、(c)は図2(a)のB-B線による断面図であり、(d)は図2(a)のC-C線による断面図である。

【図3】(a)乃至(d)は、図2の次の工程を示す図

であって、(a)は配置図であり、(b)は図3(a)のA-A線による断面図であり、(c)は図3(a)のB-B線による断面図であり、(d)は図3(a)のC-C線による断面図である。

【図4】(a)乃至(d)は、図3の次の工程を示す図であって、(a)は配置図であり、(b)は図4(a)のA-A線による断面図であり、(c)は図4(a)のB-B線による断面図であり、(d)は図4(a)のC-C線による断面図である。

【図5】(a)乃至(d)は、図4の次の工程を示す図であって、(a)は配置図であり、(b)は図5(a)のA-A線による断面図であり、(c)は図5(a)のB-B線による断面図であり、(d)は図5(a)のC-C線による断面図である。

【図6】(a)乃至(d)は、図5の次の工程を示す図であって、(a)は配置図であり、(b)は図6(a)のA-A線による断面図であり、(c)は図6(a)のB-B線による断面図であり、(d)は図6(a)のC-C線による断面図である。

【図7】(a)は本発明の第2実施例に係る半導体記憶装置の製造方法を工程順に示す配置図であり、(b)は図7(a)のA-A線による断面図であり、(c)は図7(a)のB-B線による断面図であり、(d)は図7(a)のC-C線による断面図である。

【図8】(a)乃至(d)は、図7の次の工程を示す図であって、(a)は配置図であり、(b)は図8(a)のA-A線による断面図であり、(c)は図8(a)のB-B線による断面図であり、(d)は図8(a)のC-C線による断面図である。

【図9】(a)は本発明の第3実施例に係る半導体記憶装置の製造方法を工程順に示す配置図であり、(b)は図9(a)のA-A線による断面図であり、(c)は図9(a)のB-B線による断面図であり、(d)は図9(a)のC-C線による断面図である。

【図10】(a)乃至(d)は、図9の次の工程を示す図であって、(a)は配置図であり、(b)は図10(a)のA-A線による断面図であり、(c)は図10(a)のB-B線による断面図であり、(d)は図10(a)のC-C線による断面図である。

【図11】(a)は従来のトレンチ分離型の半導体記憶装置の製造方法を工程順に示す配置図であり、(b)は図11(a)のD-D線による断面図であり、(c)は図11(a)のE-E線による断面図であり、(d)は図11(a)のF-F線による断面図である。

【図12】(a)乃至(d)は、図11の次の工程を示す図であって、(a)は配置図であり、(b)は図12(a)のD-D線による断面図であり、(c)は図12(a)のE-E線による断面図であり、(d)は図12(a)のF-F線による断面図である。

【図13】(a)乃至(d)は、図12の次の工程を示

11

す図であって、(a)は配置図であり、(b)は図13 (a)のD-D線による断面図であり、(c)は図13 (a)のE-E線による断面図であり、(d)は図13 (a)のF-F線による断面図である。

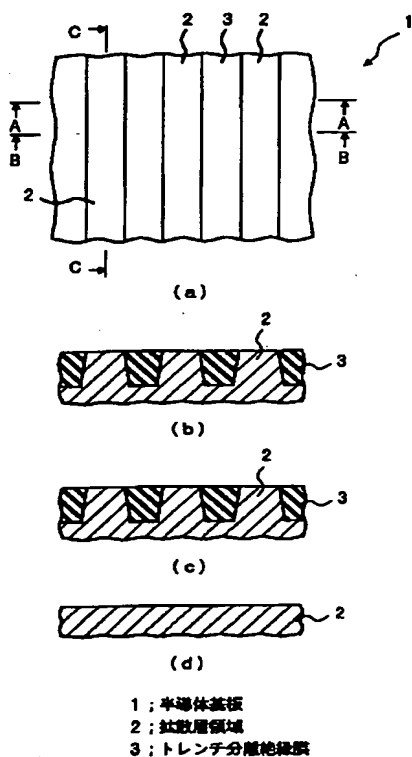
【図14】(a)乃至(d)は、図13の次の工程を示す図であって、(a)は配置図であり、(b)は図14 (a)のD-D線による断面図であり、(c)は図14 (a)のE-E線による断面図であり、(d)は図14 (a)のF-F線による断面図である。

【図15】(a)乃至(d)は、図14の次の工程を示す図であって、(a)は配置図であり、(b)は図15 (a)のD-D線による断面図であり、(c)は図15 (a)のE-E線による断面図であり、(d)は図15 (a)のF-F線による断面図である。

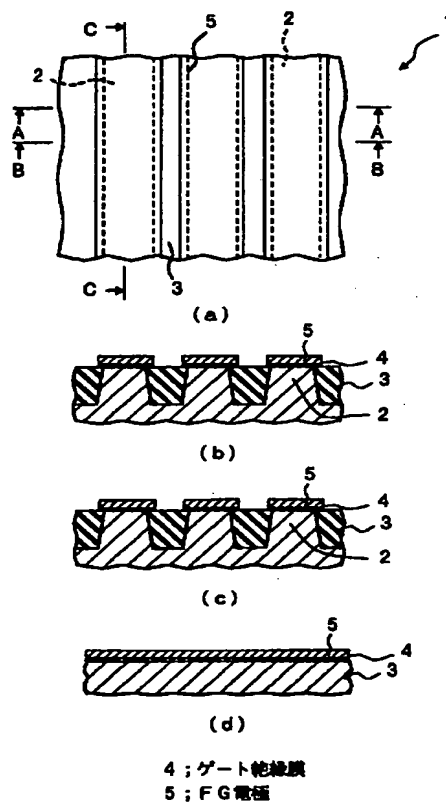
【符号の説明】

- * 1、100；半導体基板
2、101；拡散層領域
3、102；トレンチ絶縁膜
3a；トレンチ
3b、101a；トレンチ側面
4、103；ゲート絶縁膜
5、104；FG電極
6、105；層間絶縁膜
7、106；CG配線
7a、106a；多結晶シリコン膜
7b、106b；WSi膜
8、107；レジストパターン
9；ソース・ドレイン拡散層
9a、108；ソース拡散層
* 10、10a、10b、10c；側壁絶縁膜

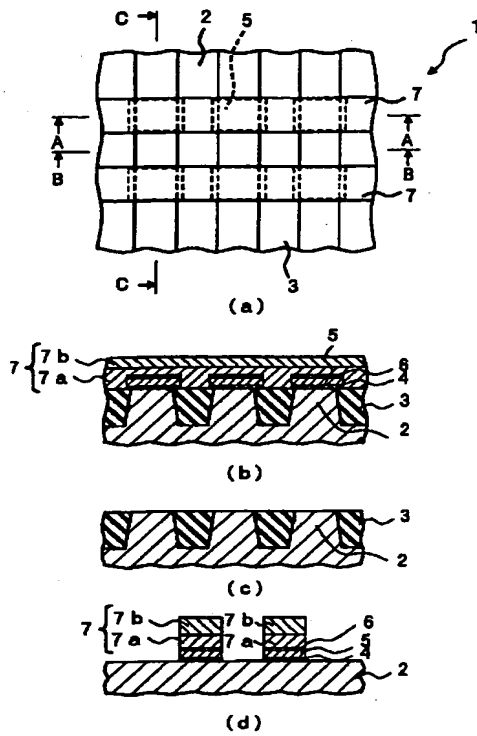
【図1】



【図2】

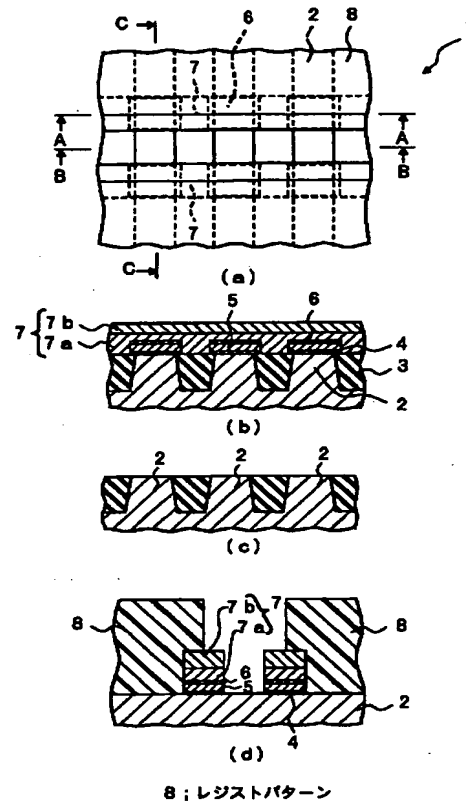


【図3】



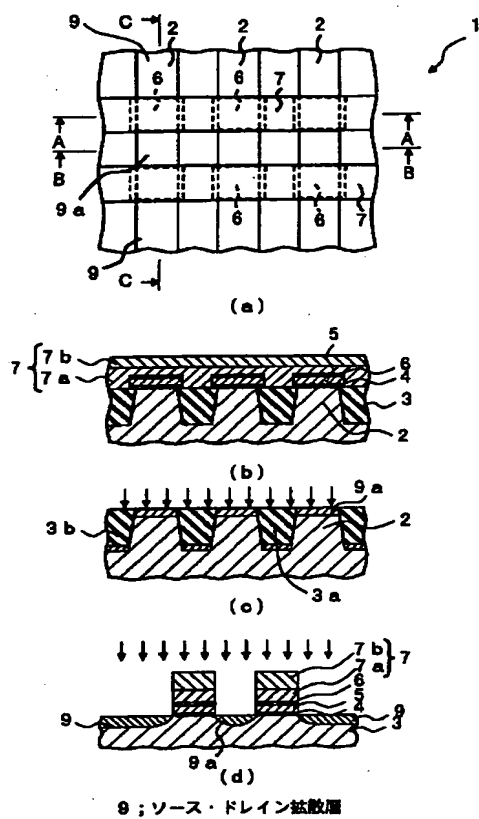
6 ; 層間絶縁膜 7 ; CG配線
 7a ; 多結晶シリコン膜 7b ; WS₁膜

【図4】

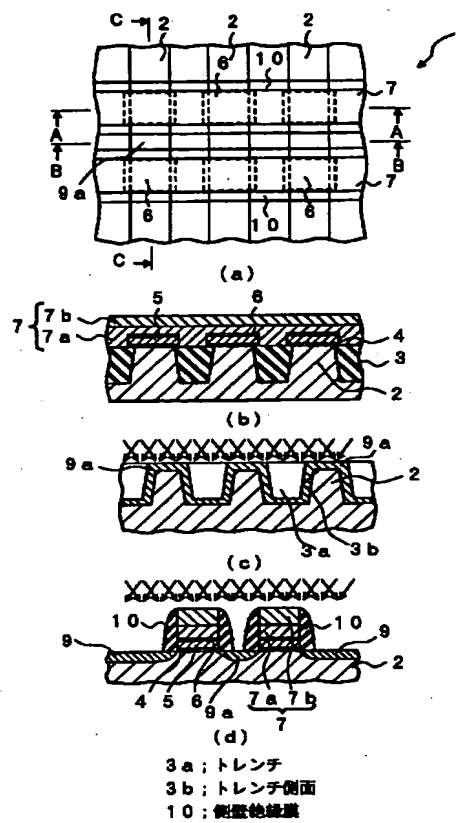


8 ; レジストパターン

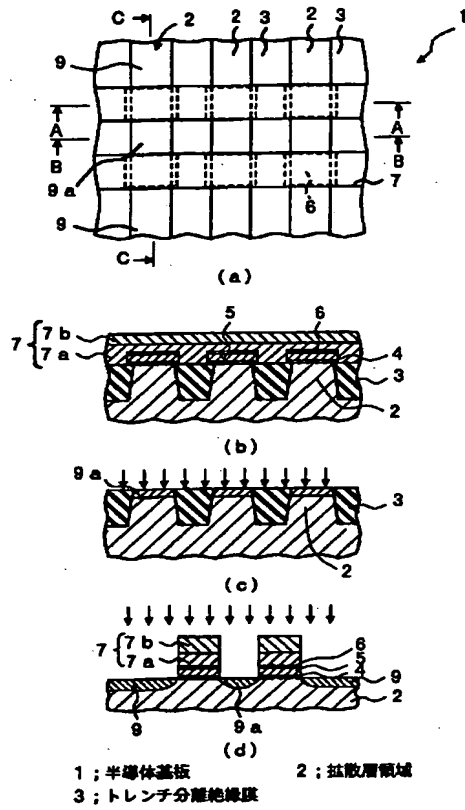
【図5】



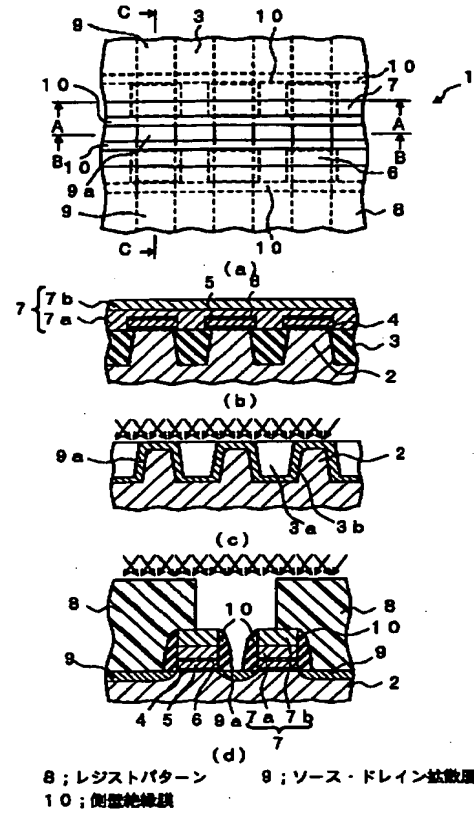
【図6】



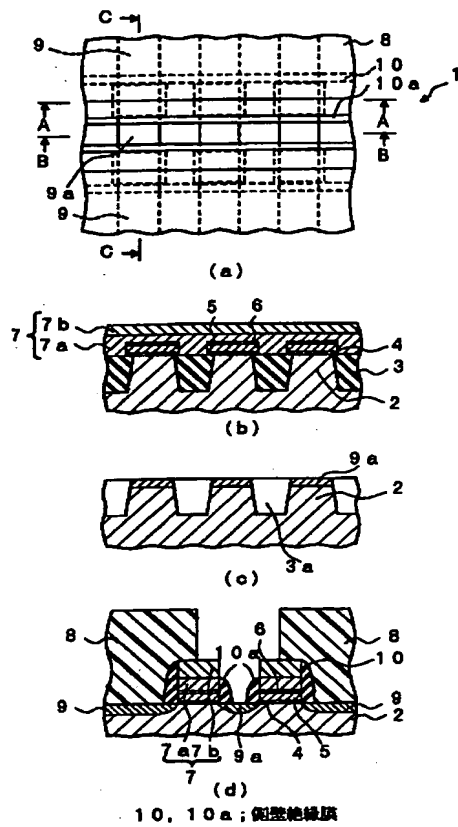
【図7】



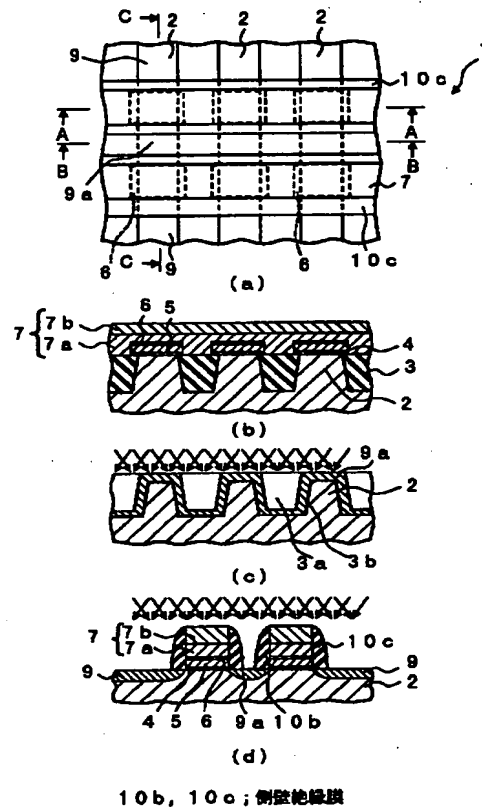
【図8】



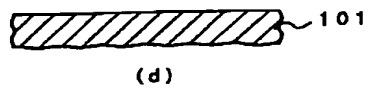
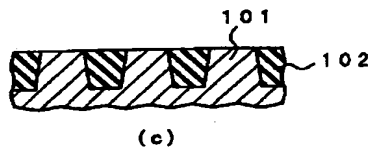
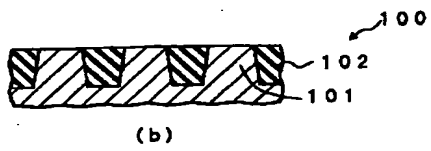
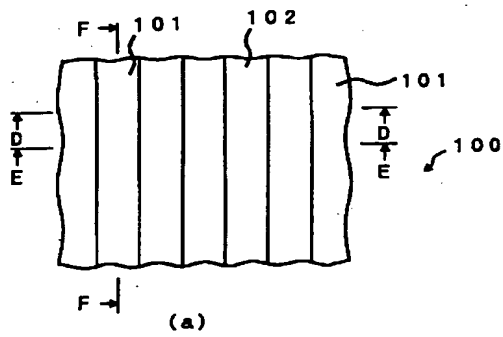
【図9】



【図10】

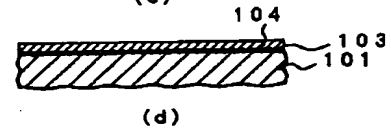
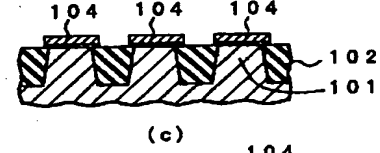
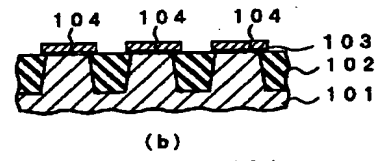
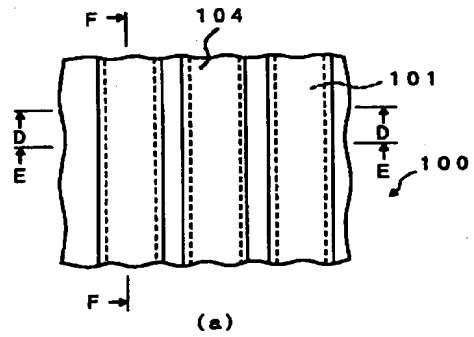


【図11】



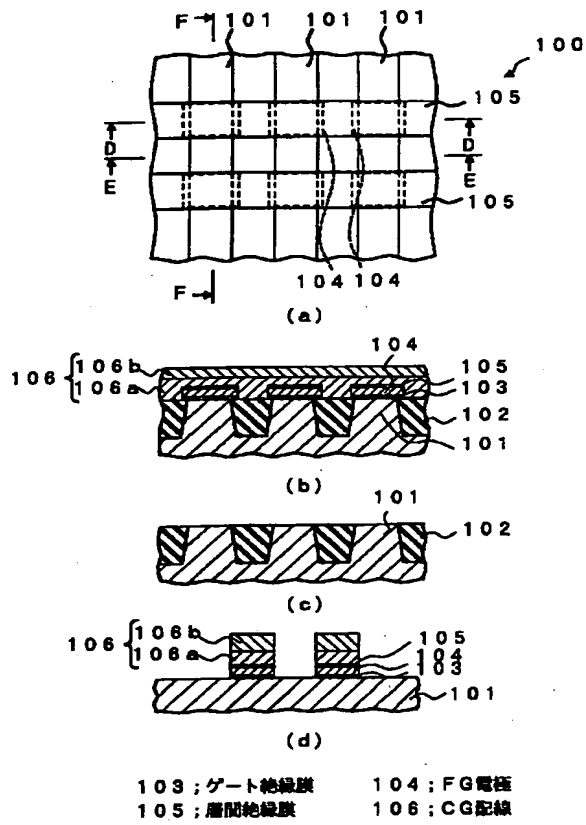
100 ; 半導体基板
101 ; 拡散層領域
102 ; トレンチ分離絶縁膜

【図12】

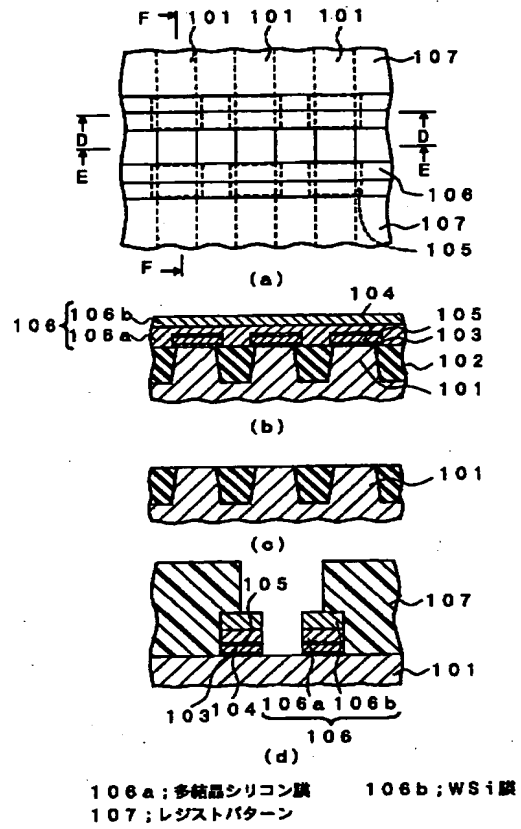


103 ; ゲート絶縁膜 104 ; FG電極

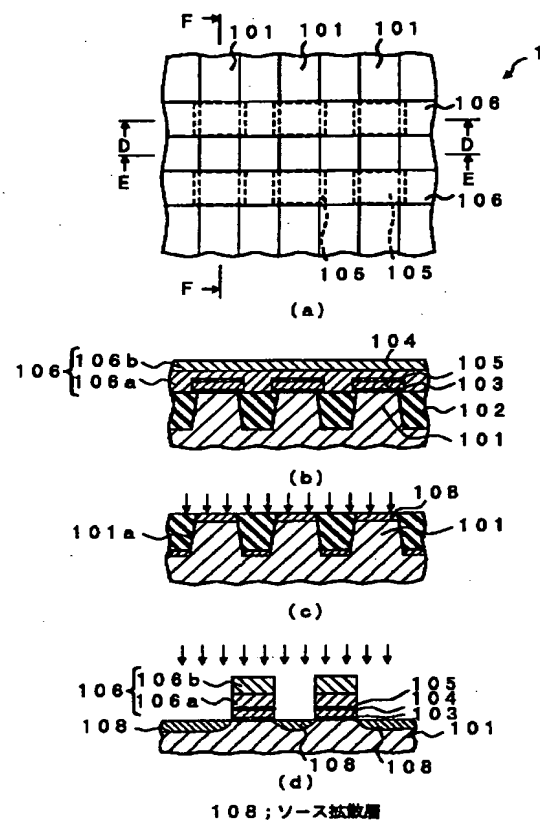
【図13】



【図14】



【図15】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792